



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Offenlegungsschrift  
⑩ DE 44 41 901 A 1

⑤1 Int. Cl. 6:  
H 01 L 29/78  
H 01 L 21/336

②1 Aktenzeichen: P 44 41 901.5  
②2 Anmeldetag: 24. 11. 94  
④3 Offenlegungstag: 30. 5. 96

DE 44 41 901 A 1

⑦1 Anmelder:  
Siemens AG, 80333 München, DE

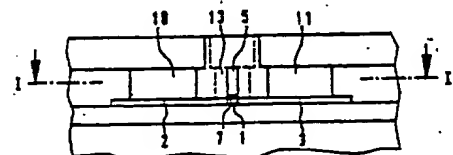
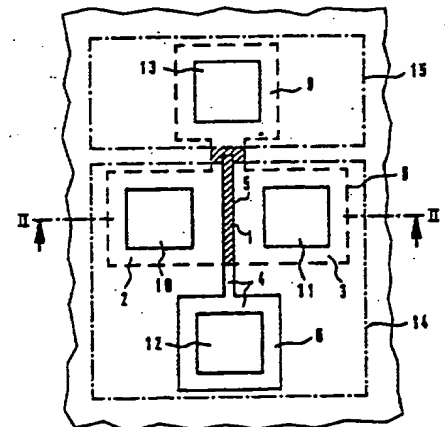
⑦2 Erfinder:  
Kerber, Martin, Dr., 81827 München, DE; Mahnkopf,  
Reinhard, Dr., 81479 München, DE

⑤6 Entgegenhaltungen:  
IEDM, 1992, pp 337-340;

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 MOSFET auf SOI-Substrat

⑤7 MOSFET in der Body-Siliziumschicht eines SOI-Substrates, z. B. als Mesa (9), bei dem ein Source-Bereich (2), ein Kanal-Bereich (1) und ein Drain-Bereich (3) vorhanden sind, bei dem eine Gate-Elektrode (4) mit einem Anteil als Steg (5) auf diesem Kanalbereich (1) vorhanden ist und bei dem für elektrischen Anschluß des Kanalbereiches (1), ein damit elektrisch leitend verbundener und hoch dotierter, vorzugsweise lateral angeordneter Kanal-Anschlußbereich (8) mit einem darauf aufgetragenen Kontakt (13) vorhanden ist.



DE 44 41 901 A 1

Die vorliegende Erfindung betrifft einen MOSFET auf SOI-Substrat.

Bei MOSFETs auf sehr dünnen Oberflächenschichten, wie z. B. bei Verwendung von SOI-Substraten mit einer sehr dünnen Nuttschicht aus Silizium (sogenannte Body-Siliziumschicht) zur Herstellung vollständig verarmter (fully depleted) MOSFETs ist die Einsatzspannung stark von der Dicke des Body-Siliziums abhängig, was technologisch nur schwer in den Griff zu bekommen ist. Bei Verwendung von dickeren Schichten hält sich zwar die Einsatzspannung in engen Grenzen, es tritt aber der Kink-Effekt auf, der eine Verschiebung des Substratpotentials durch nicht abfließenden Substratstrom bei zunehmender angelegter Spannung hervorruft und der sich nur durch einen Anschlußkontakt an der Body-Siliziumschicht, über den man den Substratstrom ableiten kann, vermeiden läßt. Fully depleted und partially depleted MOSFETs auf SOI-Substrat sind mit Body-Anschluß realisiert worden (z. B. E.P. Ver Ploeg e.a. in IEDM 92, 337 bis 340 (1992)). Die angegebenen Lösungen sind aber zumeist nicht ohne weiteres kompatibel mit dem Gesamtprozeß und erfordern zusätzliche technologische Maßnahmen oder führen zu einer Unsymmetrie der MOSFETs, was für Schaltungsanwendungen von Nachteil ist.

Aufgabe der vorliegenden Erfindung ist es, einen insbesondere im Hinblick auf die Einsatzspannung und die Auswirkungen des Substratpotentials verbesserten MOSFET auf SOI-Substrat und ein zugehöriges Herstellungsverfahren anzugeben.

Diese Aufgabe wird mit dem MOSFET mit den Merkmalen des Anspruchs 1 und mit dem Herstellungsverfahren mit den Merkmalen des Anspruchs 4 gelöst. Weitere Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

Bei dem erfindungsgemäßen MOSFET ist außer den Bereichen für Source, Kanal und Drain ein weiterer Bereich, der vorzugsweise lateral dazu angeordnet ist und für elektrischen Anschluß ausreichend hoch dotiert ist, vorhanden. Dieser weitere Bereich ist elektrisch leitend mit dem Kanalbereich verbunden und für denselben Leitfähigkeitstyp dotiert, so daß über den zugehörigen Anschlußkontakt ein weiteres Potential direkt an den Kanalbereich angelegt werden kann. Diese zu dem MOSFET gehörenden dotierten Bereiche sind in der Body-Siliziumschicht eines SOI-Substrates z. B. in Form einer Mesa oder mittels einer rings umgebenden LOCOS-Isolation hergestellt. Die Gate-Elektrode ist im Prinzip wie bei MOSFETs üblich aufgebracht. Die Gate-Elektrode ist stegförmig über den Kanalbereich geführt. Ein Ende dieses Steges ragt nicht oder nur sehr wenig über den Kanalbereich hinaus. Damit werden unerwünschte zusätzliche Kapazitäten zwischen der Gate-Elektrode und den Source- und Drain-Bereichen möglichst klein gehalten. Das andere Ende des Steges ist zu dem üblichen Gate-Anschlußbereich erweitert. Implantierungen von Dotierstoff sind so vorgenommen, daß der hoch dotierte Anschlußbereich für den Kanalbereich von den entgegengesetzt dazu dotierten Bereichen von Source und Drain zumindest durch einen schmalen Anteil des niedriger dotierten Kanalbereiches getrennt ist.

Es folgt eine Beschreibung des erfindungsgemäßen MOSFET anhand der Fig. 1 und 2.

Fig. 1 zeigt einen erfindungsgemäßen MOSFET in Aufsicht.

Fig. 2 zeigt den MOSFET der Fig. 1 in dem dort eingezeichneten Schnitt.

Der erfindungsgemäße MOSFET wird am einfachsten anhand des Herstellungsverfahrens beschrieben. Ein ringsum elektrisch isolierter Bereiche der für den MOSFET vorgesehen ist, wird in einer Body-Siliziumschicht eines SOI-Substrates hergestellt, indem z. B. in dieser Schicht eine Mesa 9 (gestrichelte Umrandung in Fig. 1) hergestellt wird oder der betreffende Bereich ringsum durch eine LOCOS-Isolation elektrisch isoliert wird. Bei dem in Fig. 1 dargestellten Ausführungsbeispiel ist das Silizium der Body-Siliziumschicht rings um die als verdeckte Kontur gestrichelt eingezeichnete Mesa 9 bis zur darunter befindlichen Isolatorschicht vollständig entfernt. In diesen Bereich der Mesa 9 wird eine Grunddotierung für den Kanalbereich 1, der schraffiert eingezeichnet ist, eingebracht. Wie bei MOSFETs üblich kann die Gate-Elektrode 4 auf eine z. B. durch Oxidation an der Oberfläche der Mesa 9 hergestellte Dielektrikumschicht aufgebracht und strukturiert werden.

Die Gate-Elektrode 4 ist bei dem erfindungsgemäßen MOSFET durch einen Steg 5 über dem Kanalbereich 1 und einen damit verbundenen Anschlußbereich 6 gebildet. Dieser Anschlußbereich 6 wird bei Verwendung einer Mesa 9 unmittelbar auf die Isolatorschicht des SOI-Substrates aufgebracht. Der Steg 5 der Gate-Elektrode sollte in den seitlichen Abmessungen möglichst mit dem zwischen dem Source-Bereich 2 und dem Drain-Bereich 3 befindlichen Anteil des Kanalbereiches 1 übereinstimmen. Das dem Anschlußbereich 6 gegenüberliegende Ende des Steges 5 sollte über diesen zwischen Source und Drain befindlichen Anteil des Kanalbereiches 1 nicht mehr hinausragen, als aufgrund des Herstellungsprozesses unbedingt nötig ist. Nur auf der anderen Seite befindet sich ein kurzer Abschnitt des Steges 5 als Verbindung zu dem Anschlußbereich 6.

Eine für Source und Drain sowie die Gate-Elektrode vorgesehene Implantierung erfolgt unter Verwendung einer Maske in dem strichpunktirt umrandeten Bereich 14. Eine Implantierung entgegengesetzten Vorzeichens für den Anschlußbereich 8 des Kanalbereiches 1 erfolgt in dem strichpunktirt umrandeten Bereich 15 mittels einer weiteren Maske. Bei üblicherweise gleichzeitig hergestellten komplementären MOSFETs sind Implantierungen beider Vorzeichen ohnehin erforderlich, so daß durch die geeignete Wahl der Maskenöffnungen in effizienter Weise die für den erfindungsgemäßen MOSFET erforderlichen Implantierungen im Rahmen des CMOS-Herstellungsprozesses erfolgen können. Um durch den hoch dotierten Kanal-Anschlußbereich 8 die Funktionsweise des MOSFET nicht zu beeinträchtigen, ist ein direktes Angrenzen dieses Kanal-Anschlußbereiches 8 an den Source-Bereich 2 bzw. den Drain-Bereich 3 vermieden. In dem beschriebenen Ausführungsbeispiel der Fig. 1 ist das dadurch bewerkstelligt daß ein schmaler Anteil des Kanalbereiches 1 noch zwischen dem Kanal-Anschlußbereich 8 und dem Source-Bereich 2 bzw. dem Drain-Bereich 3 vorhanden ist. Da der Kanalbereich 1 die relativ niedrige Grunddotierung aufweist, ist dadurch vermieden, daß hoch dotierte Anschlußbereiche unterschiedlichen Vorzeichens direkt aneinander angrenzen. Im Prinzip kann auch die Verbindung zwischen dem Kanal-Anschlußbereich 8 und dem zwischen Source und Drain befindlichen Anteil des Kanalbereiches 1 auf die Breite dieses Kanalbereiches 1 beschränkt sein. Die Herstellung wird aber vereinfacht wenn der dotierte Bereich zwischen Source, Drain und dem Kanal-Anschlußbereich 8 etwas breiter ist. Durch

den Abstand der Bereiche, die von den Öffnungen der Masken bei den Implantierungen eingenommen werden, wird erreicht, daß der schmale, in Längsrichtung von Source, Kanal und Drain, d. h. quer zur Längsrichtung des Steges 5 verlaufende niedrig dotierte Anteil des Kanalbereiches zwischen dem Kanal-Anschlußbereich 8 und den Bereichen von Source und Drain 2, 3 übrigbleibt.

Fig. 2 zeigt den in Fig. 1 eingezeichneten Querschnitt. Zwischen dem Kanalbereich 1 und dem Steg 5 der Gate-Elektrode ist die als Gate-Oxid fungierende Dielektrikumschicht 7 eingezeichnet, die bei diesem Ausführungsbeispiel der Einfachheit halber auf die Breite des Steges 5 rückgeätzt ist. Es genügt aber, wenn die Dielektrikumschicht nur in den Bereichen entfernt wird, in denen die Kontakte 10, 11, 13 aufgebracht werden. Der auf dem Kanal-Anschlußbereich 8 aufgebrachte Kontakt 13 ist in Fig. 2 als verdeckte Kontur gestrichelt eingezeichnet. Ebenfalls schematisch angedeutet ist eine erste Metallisierungsebene für den Anschluß bzw. die weitere Verschaltung der Kontakte. Der MOSFET ist z. B. von einer Dielektrikumschicht bedeckt und planarisiert. Die beschriebene MOSFET-Struktur ist voll kompatibel mit dem CMOS-Prozeß auf SOI-Substrat. Er läßt sich daher auf einfache Weise zusammen mit den bisher bekannten MOSFETs und anderen Bauelementen im Rahmen dieses Gesamtprozesses realisieren.

in einem zweiten Schritt eine für die Gate-Elektrode (4) vorgesehene Schicht aufgebracht und strukturiert wird, in einem dritten Schritt unter Verwendung von Masken, deren Öffnungen nicht aneinander angrenzende Bereiche einnehmen, Implantierungen von Dotierstoffen für den Source-Bereich (2), den Drain-Bereich (3) und die Gate-Elektrode (4) sowie für den Kanal-Anschlußbereich (8) erfolgen und in einem vierten Schritt diese Dotierstoffe aktiviert und die Kontakte hergestellt werden.

---

Hierzu 1 Seite(n) Zeichnungen

---

#### Patentansprüche

1. MOSFET auf einem SOI-Substrat mit einer Body-Siliziumschicht auf einer Isolatorschicht, bei dem ein dotierter Source-Bereich (2), ein dotierter Drain-Bereich (3) und dazwischen ein für den entgegengesetzten Leitfähigkeitstyp dotierter Kanalbereich (1) in der Body-Siliziumschicht ausgebildet sind, bei dem eine Gate-Elektrode (4) vorhanden ist, die aus einem geradlinigen Steg (5), der über diesem Kanalbereich (1) verläuft, und einem Gate-Anschlußbereich (6) besteht, bei dem dieser Steg (5) von diesem Kanalbereich (1) durch eine Dielektrikumschicht (7) elektrisch isoliert ist, bei dem ein mit dem Kanalbereich (1) elektrisch leitend verbundener, hoch dotierter Kanal-Anschlußbereich (8) vorhanden ist, der weder an diesen Source-Bereich (2) noch an diesen Drain-Bereich (3) unmittelbar angrenzt und bei dem dieser Source-Bereich (2), dieser Drain-Bereich (3), dieser Gate-Anschlußbereich (6) und dieser Kanal-Anschlußbereich (8) jeweils mit einem Kontakt (10, 11, 12, 13) versehen sind.
2. MOSFET nach Anspruch 1, bei dem die Gate-Elektrode (4) Polysilizium ist.
3. MOSFET nach Anspruch 1 oder 2, bei dem der Steg (5) mit Ausnahme eines für eine elektrisch leitende Verbindung mit dem Gate-Anschlußbereich (6) erforderlichen Anteils nur über dem Kanalbereich (1) vorhanden ist.
4. Verfahren zur Herstellung eines MOSFET nach einem der Ansprüche 1 bis 3, bei dem in einem ersten Schritt ein für den MOSFET vorgesehener Bereich in einer Body-Siliziumschicht eines SOI-Substrates ringsum elektrisch isoliert wird und mit einer für den Kanalbereich (1) vorgesehenen Grunddotierung und mit einer dünnen Dielektrikumschicht (7) an seiner Oberfläche versehen wird,

\*FIG 1

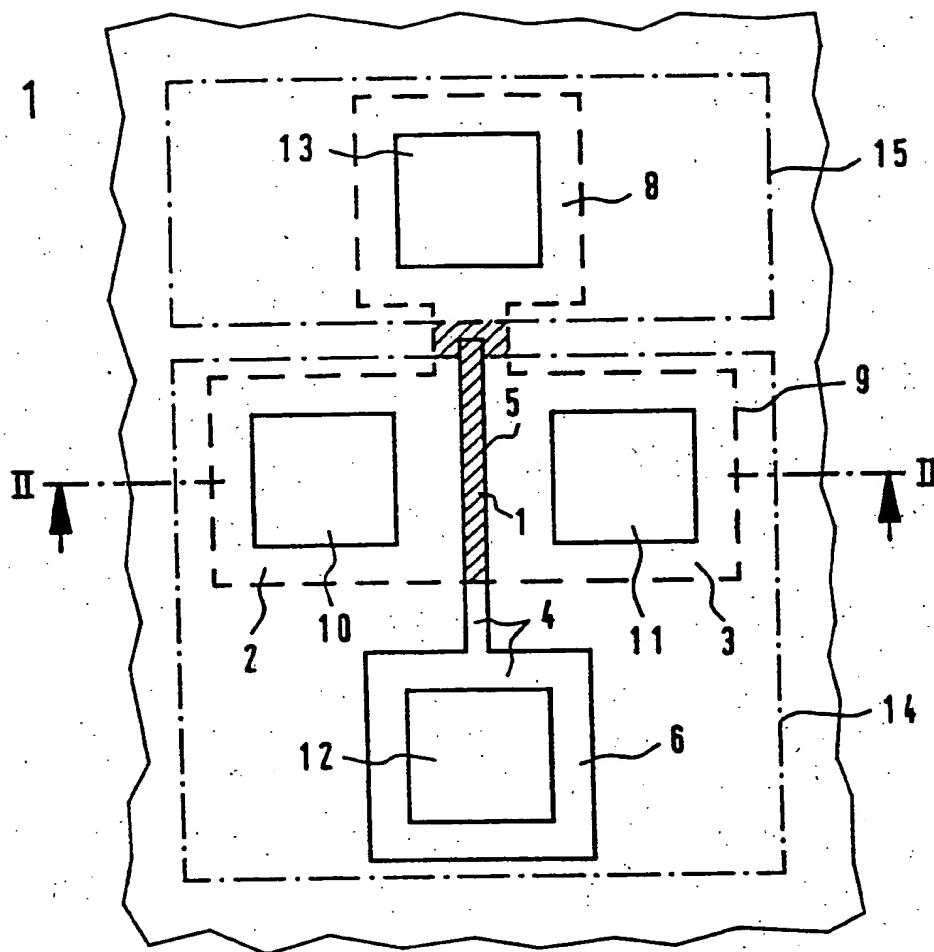


FIG 2

